

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-107953

(43)Date of publication of application : 09.04.1992

(51)Int.Cl.

H01L 21/82
H01L 21/3205

(21)Application number : 02-227213

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 28.08.1990

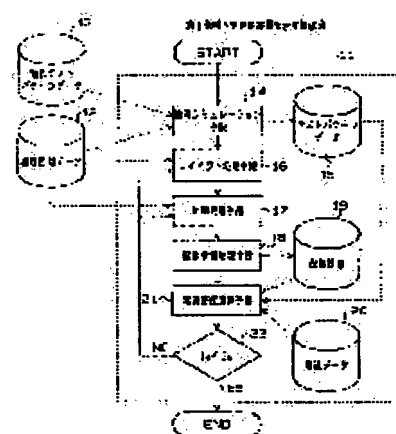
(72)Inventor : SADA HIROAKI

(54) WIRING METHOD OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To conduct arrangement and wiring according to a current density by obtaining a current value through simulation for each net, by comparing the current value with an allowable current value and by changing the arrangement or wiring width, when the current value exceeds the allowable current value.

CONSTITUTION: A unit no-load current flowing per unit frequency of each cell or element to be laid out and the lead-dependent factor of each cell or element is prepared beforehand. Also, a logical simulation 14 is conducted based on logic circuit data 12 and operating test pattern data 13 to obtain the number of times of operation of each net so that the number of times of operation of each net and the test period and number of test patterns at that time are prepared beforehand. Each cell or element is arranged and wired based on logic circuit data 12; a wiring information composed of wiring width, wiring length and load capacity is obtained for each net; and the value of a current flowing through each net is operated based on the number of times of operation, test period, number of test patterns and wiring information. When the current value exceeds an allowable current value, the arrangement or wiring width is changed. Thus, it is possible to prevent electromigration.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

平4-107953

⑤ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)4月9日

H 01 L 21/82
21/32057638-4M H 01 L 21/82
6810-4M 21/88C
A

審査請求 未請求 請求項の数 2 (全6頁)

⑭ 発明の名称 半導体装置の配線方法

⑯ 特 願 平2-227213

⑰ 出 願 平2(1990)8月28日

⑱ 発 明 者 佐 田 浩 明 愛知県春日井市高蔵寺町2丁目1844番2 富士通ヴィエル
エスアイ株式会社内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑲ 出 願 人 富士通ヴィエルエスアイ株式会社 愛知県春日井市高蔵寺町2丁目1844番2

⑳ 代 理 人 弁理士 井 析 貞 一 外2名

明 細 書

1. 発明の名称

半導体装置の配線方法

2. 特許請求の範囲

1. 論理回路データに基づいてレイアウトされる各セル又は素子の単位周波数当たりに流れる単位無負荷電流とその各セル又は素子の負荷依存係数を予め用意するとともに、

前記論理回路データ及び動作テストパターンデータに基づいて論理シミュレーションを行い各ネットの動作回数を求め、その各ネットの動作回数とその時のテスト周期及びテストパターン数を予め用意し、

前記論理回路データに基づいて各セル又素子を配置配線して、各ネット毎に配線幅、配線長及び負荷容量からなる配線情報を求め、

前記動作回数、テスト周期、テストパターン回数及び配線情報に基づいて各ネットに流れる電流値を演算し、この電流値が許容電流値を超える場

合にはセル又は素子の配置変更又は配線幅を変更することを特徴とする半導体装置の配線方法。

2. 論理回路データに基づいてレイアウトされる各セル又は素子の単位周波数当たりに流れる単位無負荷電流とその各セル又は素子の負荷依存係数と、各配線層毎に複数種類用意された配線の配線幅のデータを用意するとともに、

前記論理回路データ及び動作テストパターンデータに基づいて論理シミュレーションを行い各ネットの動作回数を求め、その各ネットの動作回数とその時のテスト周期及びテストパターン数を予め用意し、

前記論理回路の各ネットに対して前記用意した単位無負荷電流、負荷依存係数、配線幅、及び動作回数に基づいて配線条件を算出し、

その配線条件に基づいて前記論理回路を配置配線するようにしたことを特徴とする半導体装置の配線方法。

3. 発明の詳細な説明

〔概要〕

半導体装置の配線方法に関し、

電流密度に応じた線幅の配線を可能とし、エレクトロマイグレーションや局所的加熱等の弊害を防止すること目的とし、

レイアウトされる各セル又は素子の単位周波数当たりに流れる単位無負荷電流とその各セル又は素子の負荷依存係数を予め用意するとともに、論理回路データ及び動作テストパターンデータに基づいて論理シミュレーションを行い各ネットの動作回数を求め、その各ネットの動作回数とその時のテスト周期及びテストパターン数を予め用意し、前記論理回路データに基づいて各セル又素子を配置配線して、各ネット毎に配線幅、配線長及び負荷容量からなる配線情報を求め、前記動作回数、テスト周期、テストパターン回数及び配線情報に基づいて各ネットに流れる電流値を演算し、この電流値が許容電流値を超える場合にはセル又は素子の配置変更又は配線幅を変更する構成とした。

さらに、単位無負荷電流、負荷依存係数及び各

の高集積化及び高速化の向上を主眼において各素子又は各ブロック間の結線強度に応じた配置配線を行っている。

又、電源線、信号線等の各配線幅は各配線層毎に1つ線幅が用意され、その用意された線幅の配線が固定的に使用されていた。

〔発明が解決しようとする課題〕

しかしながら、各ネットの電流密度は動作周波数、負荷容量及び配線幅に依存しているにもかかわらず、各配線層における各ネットの配線幅は、各ネットで異なる動作周波数及び配線容量を考慮することなく一律の線幅になっていた。その結果、電流密度にバラツキが生じ動作周波数の高い部分でエレクトロマイグレーションや発熱等の弊害が発生していた。

本発明は上記問題点を解決するためになされたものであって、その目的は電流密度に応じた線幅の配線を可能とし、エレクトロマイグレーションや局所的加熱等の弊害を防止することができる半

導体装置の配線方法を提供することにある。

配線層毎に複数種類用意された配線の配線幅のデータを予め用意し、論理回路データ、動作テストパターンデータにより論理シミュレーションを行い各ネットの動作回数、テスト周期及びテストパターン数を求め、論理回路の各ネットに対して前記用意した単位無負荷電流、負荷依存係数、配線幅、及び動作回数に基づいて配線条件を算出し、その配線条件に基づいて前記論理回路を配置配線する構成とした。

〔産業上の利用分野〕

本発明は半導体装置の配線方法に関するものである。

近年、半導体装置の高集積化、高速化及び微細化が進んでいる。それに伴って、アルミ配線等のエレクトロマイグレーション、局所的加熱等の対策が必要になる。

〔従来の技術〕

従来、自動配線、配線システムは、半導体装置

の配線方法を提供することにある。

〔課題を解決するための手段〕

第1図は第1の発明を説明する原理フローチャート図である。

まず、論理回路データ及び動作テストパターンデータを使用して論理シミュレーションを行う。そして、該論理回路の各ネットの動作回数を求めるとともに、その時のテスト周期及びテストパターン数を求めておく。

又、前記論理回路データに基づいてレイアウトされる各セル又は素子の単位周波数当たりに流れる単位無負荷電流とその各セル又は素子の負荷依存係数も予め用意する。

続いて、前記論理回路データに基づいて各セル又素子を配置する。セル又は素子の配置が終了した後配線する。次に、配置配線された論理回路の各ネット毎に配線幅、配線長及び負荷容量からなる配線情報を求める。

そして、この配線情報と前記動作回数、テスト

周期、テストパターン数及び該セル又は素子の単位無負荷電流と負荷依存係数とで各ネットに対しての電流値を演算する。

算出した電流値と予め用意された許容電流値とを比較する。そして、許容電流値を超える場合にはセル又は素子の配置変更又は配線幅を変更する処理を行う。

第2図は第2の発明を説明する原理フローチャート図である。

まず、論理回路データに基づいてレイアウトされる各セル又は素子の単位周波数当たりに流れる単位無負荷電流とその各セル又は素子の負荷依存係数と、各配線層毎に複数種類用意された配線の配線幅のデータを用意する。

前記論理回路データ及び動作テストパターンデータに基づいて論理シミュレーションを行い各ネットの動作回数を求める。次に、単位無負荷電流、負荷依存係数、配線幅及び動作回数に基づいて前記論理回路の各ネットに対して配線条件を算出する。続いて、その配線条件に基づいて前記論理回

路の配置配線を行う。

[作用]

第1の発明においては、各ネット毎にシミュレーションによって流れる電流値が求められ、そのネットにおける電流値がエレクトロマイグレーションや局部的発熱が生じることのない許容電流値と比較される。その結果、許容電流値を超える場合には配置変更又は配線幅の変更の指示がなされるので、各ネットは実際の動作に即した電流密度に応じた配置配線が行われることになり、エレクトロマイグレーションや局部的発熱等の問題が生じなくなる。

第2の発明においては、論理回路データに基づいて配置配線を行う際、事前に各ネット毎に配線条件が求められているので、エレクトロマイグレーションや局部的発熱等のない配置配線が行えることになる。

[実施例]

以下、本発明を具体化した半導体装置の配線方法の第1実施例を図面に従って説明する。

第2図はコンピュータよりなる半導体集積回路の自動配線シミュレーション装置11のシステム構成図を示し、同自動配線シミュレーション装置11には論理回路データ記憶手段12に記憶された論理回路データ及び動作テストパターン記憶手段13に記憶された動作テストパターンデータが入力される。この論理回路データ及び動作テストパターンデータは論理シミュレーション手段14に入力される。

この論理シミュレーション手段14は論理回路データ記憶手段12の論理回路データ及び動作テストパターン記憶手段13の動作テストパターンデータに基づいて個々のネットの動作回数、テスト周期及びテストパターン数等をシミュレーションにより演算し、テストパターン記憶手段15にテストパターンデータとして記憶する。

又、前記論理回路データはレイアウト処理手段16及び配線処理手段17に入力される。レイア

ウト処理手段16は前記論理回路データ記憶手段12の論理回路データに基づいて各セル及び素子の配置処理を行う。つまり、各セル間及び素子間を最短距離で配置し、配線容量及び配線長をできるだけ最小限となるようにレイアウト処理を行う。次に、配線処理手段17はこのレイアウト処理の結果及び論理データに基づいて各セル間及び素子間の実配線処理を行う。

そして、実配線処理に基づいて配線情報処理手段18は各ネット毎の配線情報を演算処理する。つまり、配線情報処理手段18は各ネット毎の配線長、配線幅、配線容量及び負荷容量等からなる配線情報を求め、これらの配線情報を演算処理した後、配線情報データとして配線情報記憶手段19に記憶する。

さらに、自動配線シミュレーション装置11の電流データ記憶手段20には予めデバイスシミュレータ(図示しない)により各セル単位及び各素子単位で無負荷状態での単位周波数当たりの素子に流れる電流値10、即ち、単位無負荷電流値と、

その負荷容量依存係数 I_1 とが演算され電流データとして記憶されている。

そして、前記各記憶手段 15、19、20 に記憶されたテストパターンデータ、配線情報データ及び電流データに基づいて電流密度演算手段 21 が各ネット毎に流れる電流値 I を演算する。

即ち、各ネットに流れる電流値 I は、負荷容量 C 、動作回数 N 、テスト周期 T 、テストパターン数 PN とすると、

$$I =$$

$(I_0 + I_1 \times C) \times N \times (1 / (T \times PN))$ で表される。そして、この演算式に基づいて電流密度演算手段 21 は電流値 I を演算した後、配線情報データに基づいて各ネット毎に流れる電流密度 I_0 を求める。そして、判別手段 22 によりこの電流密度 I_d と、予めそのネットにおいてエレクトロマイグレーションや局部的発熱が生じない許容電流密度 I_k と比較して許容電流密度 I_k よりも演算した電流密度 I_d が同じ若くは低い値であるならば、前記各セル及び素子のレイアウト、

と比較したが、前記演算式で求められる電流値 I と予め求めた許容電流値とを比較するようにすることも可能である。

次に、本発明の第 2 実施例について説明する。なお、前記第 1 実施例と同一構成又は同一作用となるものは同一番号を付してその説明を省略する。

第 4 図に示すように、自動配線シミュレーション装置 11 には論理回路データ記憶手段 12 の論理回路データ及び動作データテストパターン記憶手段 13 の動作テストパターンデータが入力される。つまり、前記論理回路データ及び動作テストパターンデータは論理シミュレーション手段 14 に入力される。

前記論理シミュレーション手段 14 は前記論理回路データ及び動作テストパターンデータに基づいて個々のネットの動作回数、テスト周期及びテストパターン数等をシミュレーションにより演算し、テストパターン記憶手段 15 にテストパターンデータとして記憶する。

又、自動配線シミュレーション装置 11 には予

各セル及び素子を結ぶ実配線処理を確定して終了する。

又、演算した電流密度 I_d が許容電流密度 I_k を越えた場合には、判別手段 22 がレイアウト処理手段 16 及び配線処理手段 17 に変更命令信号を送る。すると、レイアウト処理手段 16 はこの変更命令信号に基づいて各セル及び素子のレイアウトを変更した後、配線処理手段 17 により配線幅を広くしたりして実配線処理を行う。

そして、再び配線情報処理手段 18 により配線情報データを演算した後、演算式に基づいて各ネット毎に流れる電流密度 I_d を演算して許容電流密度値 I_k を下回る電流密度 I_d とする。

この結果、セル及び素子のレイアウト変更により配線長が短くなり、配線容量を小さくすることができるとともに、配線幅を広くすることにより電流容量を大きくすることができ、エレクトロマイグレーションや局部的発熱の防止を行うことができる。

なお、本実施例においては電流密度 I_d を求め

め配線層毎に複数種類用意された配線の配線幅データを記憶する配線幅データ記憶手段 25 が設けられている。そして、論理回路データ記憶手段 12 からの論理回路データ、テストパターン記憶手段 15 からのテストパターンデータ、電流データ記憶手段 20 からの電流データ及び配線幅データ記憶手段 25 からの配線幅データに基づいて前記論理データの各ネットに対して配線条件を配線条件演算手段 23 が演算し、配線条件記憶手段 24 に配線条件データとして記憶する。つまり、事前に各ネット毎に配線条件を求めてエレクトロマイグレーション及び局部的発熱等が発生しない条件となるように配線条件データを演算する。

続いて、レイアウト処理手段 16 は配線条件記憶手段 24 に記憶された配線条件データに基づいて前記論理回路データに基づくセル及び素子の配置を行う。そして、レイアウト処理手段 16 がセル及び素子の配置を終了した後、配線処理手段 17 は各セル間及び素子間を配線条件データに基づいて配線幅を調整しながら実配線を行い、前記各

セル及び素子のレイアウト、各セル及び素子を結ぶ実配線処理を確定して終了する。

この第2実施例においては、論理回路データ記憶手段12の論理回路データに基づいてレイアウト処理手段16が配線条件演算手段23により求められた配線条件データに基づいてセル及び素子のレイアウト処理を行うので、事前にエレクトロマイグレーション及び局部的発熱等が発生しないセル及び素子のレイアウト及び配線を行うことができる。

[発明の効果]

以上詳述したように、本発明は電流密度に応じた線幅の配線を可能とし、エレクトロマイグレーションや局部的加熱等の弊害を防止することができる優れた効果を有する。

4. 図面の簡単な説明

第1図は第1発明を説明する原理フローチャート図、

第2図は第2発明を説明する原理フローチャート図、

第3図は第1発明の半導体装置を示す構成図、

第4図は第2発明の半導体装置を示す構成図である。

図において、

11は自動配線シミュレーション装置、

12は論理回路データ記憶手段、

13は動作テストパターンデータ記憶手段、

15はテストパターン記憶手段、

19は配線情報記憶手段、

20は電流データ記憶手段、

24は配線条件記憶手段、

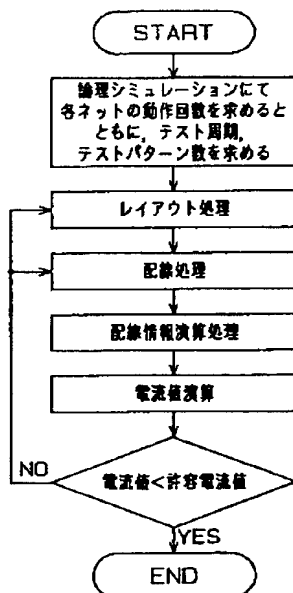
25は配線幅データ記憶手段である。

代理人 弁理士 井桁 貞一



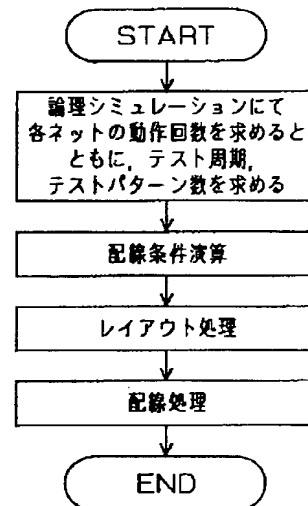
第1図

第1発明を説明する原理フローチャート図



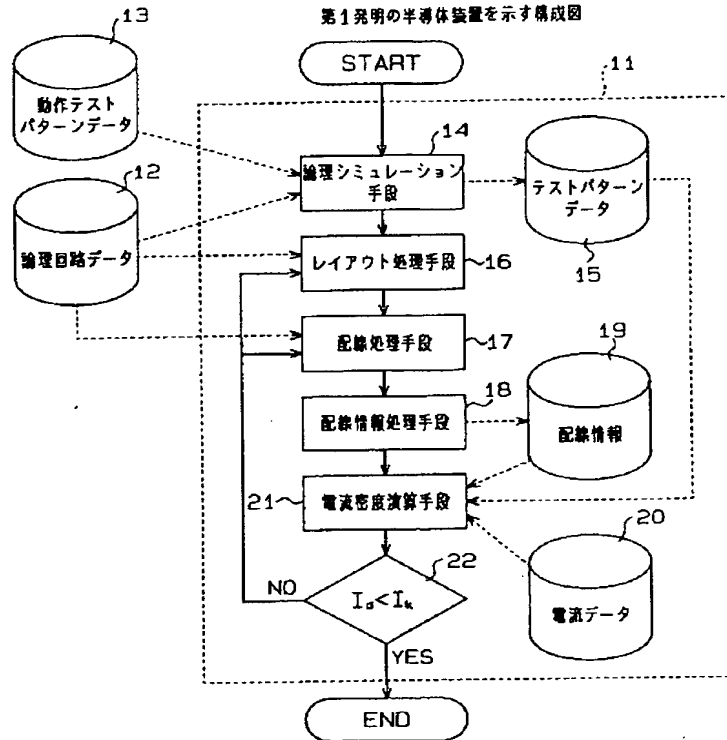
第2図

第2発明を説明する原理フローチャート図



第 3 図

第1発明の半導体装置を示す構成図



第 4 図

第2発明の半導体装置を示す構成図

